

PAT-NO: JP358001202A

DOCUMENT-IDENTIFIER: JP 58001202 A

TITLE: CONTROLLER

PUBN-DATE: January 6, 1983

INVENTOR-INFORMATION:

NAME

NAGASHIMA, MASARU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI ELECTRIC CO LTD	N/A

APPL-NO: JP56098333

APPL-DATE: June 26, 1981

INT-CL (IPC): G05B009/02

US-CL-CURRENT: 361/94

ABSTRACT:

PURPOSE: To reduce the power consumption more at power failure for a controller incorporated in a processor, by increasing the period of an interruption time at power failure and its waiting time.

CONSTITUTION: The system is provided with a power failure clock CL<SB>2</SB> and a clock switching circuit 9. When a power failure is detected with a power failure detecting circuit 5, a detection signal DE is given to a clock switching circuit 9, which switches the clock of a clock generating circuit 1 from CL<SB>1</SB> to CL<SB>2</SB>. The period of the clock CL<SB>2</SB> is taken longer than the period of the clock CL<SB>1</SB>, resulting that the WAIT

BEST AVAILABLE COPY

state of a microprocessor is kept longer, allowing to reduce the power consumption. Further, the signal DE is given to the microprocessor 2 via an I/O device 4, allowing the processor 2 to reduce the power consumption more with the power failure processing which has shorter processing time than the normal processing.

COPYRIGHT: (C)1983,JPO&Japio

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭58-1202

⑫ Int. Cl.³
G 05 B 9/02

識別記号 庁内整理番号
6846-5H

⑬ 公開 昭和58年(1983)1月6日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 制御装置

⑮ 特 願 昭56-98333
⑯ 出 願 昭56(1981)6月26日
⑰ 発明者 長島優

川崎市川崎区田辺新田1番1号
富士電機製造株式会社内

⑱ 出願人 富士電機製造株式会社
川崎市川崎区田辺新田1番1号
⑲ 代理人 弁理士 並木昭夫 外1名

明細書

1. 発明の名称

制御装置

2. 特許請求の範囲

平常時には所定周期の割込信号によつて起動され、所定の処理動作が終了すると待機状態となり、次の割込信号で該待機状態を解除して所定の処理動作を行ない、停電時には平常時とは別の予備電源から電力の供給を受けて平常時と同様の手順にて動作を行なう処理装置を有してなる制御装置において、前記割込信号の時間周期を平常時と停電時に応じて切替える手段を設け、停電時には該手段によつて割込信号の時間周期を平常時よりも長くすることにより、前記処理装置の待機時間を長くするようにしたことを特徴とする制御装置。

3. 発明の詳細な説明

この発明は常時は交流電源によつて動作し、停電時にはバッテリなどによつて動作するマイクロプロセッサ等の処理装置を用いた制御装置、特にその制御装置における停電時の消費電力低減化方

式に関する。

一般にバッテリなどによつて停電補償を行なう装置においては、補償時間とバッテリ容量などの関係から、停電補償時の消費電力は極力少ないことが望まれる。

第1図は例えばマイクロプロセッサを用いた制御装置の従来例を示すブロック図、第2図はその動作を説明するための流れ図である。

第1図において、1はクロック発生器、2はマイクロプロセッサ、3はWAIT(待機)回路、4は入出力回路(I/O)、5は停電検出回路、6は電源回路、7はバッテリ、8は切替回路である。

クロック発生回路1から一定周期毎に発せられるインタラプト(割込み)信号INによつてマイクロプロセッサ2が起動されると(①)、マイクロプロセッサ2はこのインタラプト信号INを受け付けて以後の割込みを無効にする(②)。マイクロプロセッサ2は所定のプログラムにもとづいて所定の処理を行ない(③)、WAIT命令を実

行すると(④)、データバスDB、アドレスバスAB、I/O(入出力装置)4を介してWAIT命令信号WT1がWAIT回路3へ送られる。マイクロプロセッサ2は該回路3からのWAIT信号WTによってWAIT状態になるとともに、次のインターブート信号INを受け可能状態にして(⑤)、割込み要求があるか否かを調べ(⑥)、割込み要求があれば③に戻って上記と同様の動作を繰り返し、なければ次の要求があるまで待機する。マイクロプロセッサ2がWAIT状態にある場合の消費電力は他の動作状態に比べて少なく、したがつて上記の如くすることによって消費電力を低減することができる。ところで、このような処理動作を行なうマイクロプロセッサ2は平常時は交流電源回路6からの電力により動作しているが、停電検出回路5にて停電が検出されると、電源6を切替回路8によつてバッテリ7側に切替え、該バッテリ7より電力を供給する。このため、マイクロプロセッサ2は停電時にも上記と同様にしてプログラムを実行し、所定の処理を行なうこと

を付して示している。

これらの図からも明らかなように、この発明は第1、2図によつて説明した従来方式に停電時クロフクCL₁、クロフク切替回路9を付加するとともに、停電検出信号DBをI/O(入出力装置)4を介してマイクロプロセッサ2で検出できるようにした、つまり停電か否かの判断機能(第4図の流れ図⑦を参照)を持たせるようにしたものである。

すなわち、通常(平常)時においては上述と同様の動作が行なわれるが、停電が停電検出回路5によつて検出されると、該検出信号D且はクロフク切替回路9に与えられるので、クロフク切替回路9はクロフク発生回路1のクロフクをCL₁からCL₂に切替える。ここで、通常時クロフクCL₁の周期よりも停電時クロフクCL₂の周期を長くしておけば、それだけマイクロプロセッサのWAIT状態が長くなり、したがつて消費電力を低減することができるようになる。さらに、この停電検出信号D且はI/O装置4を介してマイクロプロセ

ができる。しかし、この方式では通常時と停電時の消費電力は同じであり、したがつて停電補償時間を長くするためにはバッテリ容量を増す必要がある。しかし、容量を増大することはスペースが大きくなり、かつ充電回路が複雑になるという問題がある。

したがつて、この発明の目的は、マイクロプロセッサ等の処理装置を内蔵する制御装置の停電時における消費電力をより一層低減することにある。

上記の目的は、この発明によれば、定期的割込信号によつて動作し、停電時にはバッテリ補償によつて駆動されてなる処理装置を内蔵した制御装置の停電時における割込時間周期を長くし、処理装置の待機時間を長くする、つまり低消費電力時間を長くすることにより達成される。

以下、この発明の実施例を図面を参照して説明する。

第3図はこの発明の実施例を示すプロック図、第4図は第3図の動作を説明する流れ図である。なお、第1、2図と同じものについては同一の符

号を付して示している。

マイクロプロセッサ2において通常時処理よりも処理時間が短かい停電処理(第3図の③を参照)に切替えるようすれば、消費電力をより一層低減することができる。なお、その他の点については第1図または第2図の説明と同様であるので省略する。

以上のように、この発明によれば、停電時にはバッテリ補償によつてマイクロプロセッサを動作させ、所定の処理を行わせるようにした制御装置において、より一層の低消費電力化を図ることができるため、従来と同じ時間の停電補償をする場合に、そのバッテリ容量を少なくできる。換言すれば、バッテリ容量が同じであれば停電補償時間を従来よりも長くすることができるものである。

なお、この発明は上記と同様の構成、すなわち停電時に処理装置を動作させる必要のある装置一般に適用可能である。

4. 図面の簡単な説明

第1図はマイクロプロセッサを用いた制御装置の従来例を示すプロック図、第2図は第1図の動

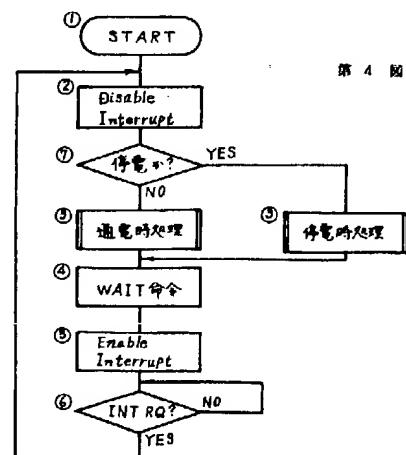
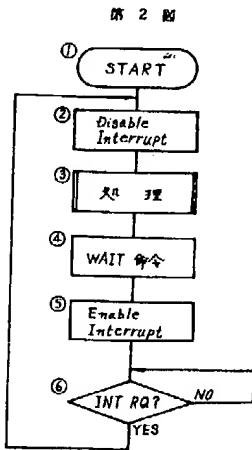
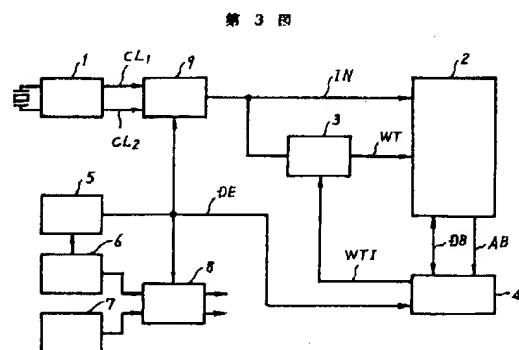
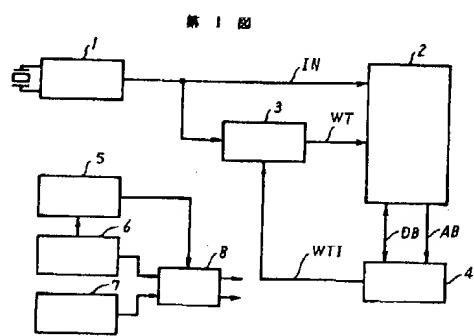
作を説明するための流れ図、第3図はこの発明の実施例を示すブロック図、第4図は第3図の動作を説明するための流れ図である。

符号説明

1 …… クロック発生回路、2 …… マイクロプロセッサ、3 …… WAIT回路、4 …… I/O（入出力装置）、5 …… 停電検出回路、6 …… 電源回路、7 …… バッテリ、8 …… 切替回路、9 …… クロック切替回路、IN …… インタラプト信号、WT …… WAIT（待機）信号、WTI …… WAIT命令信号、DB …… データバス、AB …… アドレスバス、DE …… 停電検出信号、CL₁, CL₂ …… クロック信号

代理人弁理士並木昭夫

代理人弁理士松崎清



BEST AVAILABLE COPY